

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298911

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H04N 9/07
H04N 5/335

(21)Application number : 10-116268

(71)Applicant : NIKON CORP

(22)Date of filing : 10.04.1998

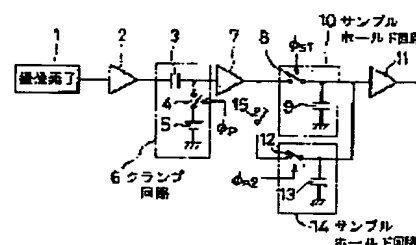
(72)Inventor : SUZUKI MASAHAISA

(54) IMAGE-PICKUP CIRCUIT AND IMAGE-PICKUP UNIT THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image-pickup circuit that processes efficiently an image-pickup signal, including the sum signal and to obtain the image pickup unit.

SOLUTION: This image/pickup circuit uses a pixel matrix, consisting of plural pixels arranged as a matrix and a solid-state image-pickup element 1 that reads signal charges from the pixel matrix through vertical and horizontal transfer and reads charges resulting from summing signal charges of plural pixels adjacent to each other in the horizontal direction in a horizontal transfer output. The circuit is provided with a clamp circuit 6, that clamps a feed-through level of the output signal of the solid-state image-pickup element 1 to a prescribed level and with pluralities of sample-and-holding circuits 10, 14 that sample and hold an output signal of the clamp circuit 6 over a prescribed different period. Thus, the image-pickup circuit processes efficiently together with a signal resulting from summing signal charges of plural pixels.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-298911

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.⁸

H 0 4 N 9/07

識別記号

5/335

F I

H 0 4 N 9/07

5/335

A

C

Q

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21)出願番号 特願平10-116268

(22)出願日 平成10年(1998)4月10日

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 鈴木 政央

東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

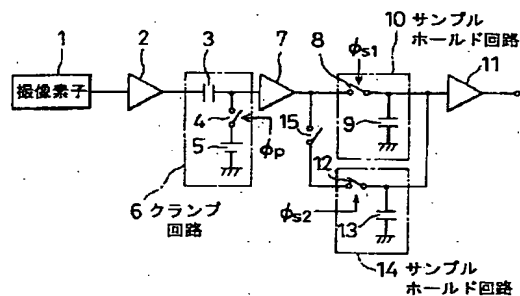
(74)代理人 弁理士 池内 義明

(54)【発明の名称】 撮像回路および撮像装置

(57)【要約】

【課題】 加算信号を含む撮像信号を効率的に処理することができる撮像回路および撮像装置を提供する。

【解決手段】 マトリクス状に配置された複数の画素を有する画素マトリクス、および該画素マトリクスからの信号電荷を垂直転送および水平転送して読み出すと共に、水平転送出力において水平方向に隣接する複数の画素の信号電荷を加算して読み出す固体撮像素子1を用いる。この固体撮像素子1の出力信号のフィードスルーレベルを一定電位にクランプするクランプ回路6と、このクランプ回路6の出力信号のおおの所定の異なる期間にわたりサンプルしかつホールドする複数のサンプルホールド回路10、14とを設け、複数画素の信号電荷を加算した信号を含めて効率的に撮像信号を処理する。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素を有する画素マトリクス、および該画素マトリクスからの信号電荷を垂直転送および水平転送して読み出すと共に、水平転送出力において水平方向に隣接する複数の画素の信号電荷を加算して読み出す固体撮像素子と、前記固体撮像素子の出力信号のフィードスルーレベルを一定電位にクランプするクランプ回路と、前記クランプ回路の出力信号のおおの所定の異なる期間にわたりサンプルしかつホールドする複数のサンプルホールド回路と、

を具備することを特徴とする撮像回路。

【請求項2】 撮像光学系と、マトリクス状に配置され前記撮像光学系を介して被写体の画像光を受け入れる複数の画素を有する画素マトリクス、および該画素マトリクスからの信号電荷を垂直転送および水平転送して読み出すと共に、水平転送出力において水平方向に隣接する複数の画素の信号電荷を加算して読み出す固体撮像素子と、前記固体撮像素子の出力信号のフィードスルーレベルを一定電位にクランプするクランプ回路と、前記クランプ回路の出力信号をおおの所定の異なる期間にわたりサンプルしかつホールドする複数のサンプルホールド回路と、前記クランプ回路および前記サンプルホールド回路に駆動信号を供給する駆動回路と、を具備することを特徴とする撮像装置。

【請求項3】 前記画素マトリクスは上下左右に隣接する4画素ごとに同色のカラーフィルタを搭載し、前記固体撮像素子は水平方向に隣接する2画素の内一方の画素の信号電荷および水平方向に隣接する2画素の信号電荷を加算した信号電荷を順次出力すると共に、前記複数のサンプルホールド回路は前記一方の画素の信号電荷をサンプルホールドするサンプルホールド回路と前記2画素の信号電荷を加算した信号電荷をサンプルホールドする2個のサンプルホールド回路とを含むことを特徴とする請求項2に記載の撮像装置。

【請求項4】 前記クランプ回路の出力を選択的に前記複数のサンプルホールド回路に入力する切り換え手段を具備することを特徴とする請求項2または3に記載の撮像装置。

【請求項5】 前記複数のサンプルホールド回路は共に前記クランプ回路の出力に接続され、互いに異なる期間に前記クランプ回路の出力をサンプルして、水平方向に隣接する同色の複数の画素の信号電荷を加算して得た信号と加算しないで得た信号とを並列的に出力することを特徴とする請求項2または3に記載の撮像装置。

【請求項6】 水平方向に隣接する2画素の内一方の画素の信号電荷を出力するモードと水平方向に隣接する2画素の信号電荷を加算した信号電荷を出力するモードと

を切り換えるための操作手段を具備することを特徴とする請求項3に記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビデオカメラや電子スチルカメラ等の撮像素子からの撮像信号を処理する撮像回路および撮像装置に関する。

【0002】

【従来の技術】従来から、CCD等の電荷転送手段を用いた2次元固体撮像素子は、放送用あるいは家庭用ビデオカメラや電子スチルカメラ等の広く使用されている。これらの2次元固体撮像素子には、一種の相関二重サンプリング(CDS)回路等が接続され、2次元固体撮像素子からの出力信号に含まれる該2次元固体撮像素子のリセット雑音や出力アンプ雑音等を低減している。

【0003】図9は、従来のCDS回路の構成を示しており、撮像素子101で光電変換され転送された電荷は撮像信号として、バッファアンプ102を介してクランプ回路106に出力される。クランプ回路106は、バッファアンプ102からの出力をカップリングコンデンサ103を介して出力するとともに、直流電圧源105からの電圧をカップリングコンデンサ103の出力側にタイミングパルスφ_pをスイッチ104で印加することによって、カップリングコンデンサ103からの撮像信号をフィールドスルーレベルにクランプし、上述したリセット雑音や出力アンプ雑音等を除去している。

【0004】クランプ回路106から出力された撮像信号は、バッファアンプ107を介してサンプルホールド回路110に出力される。サンプルホールド回路110は、バッファアンプ107からの撮像信号をスイッチ108に入力されるクランプパルスφ_sでサンプリングし、ホールディングコンデンサ109にホールドされた信号レベルを撮像信号として出力する。そして、サンプルホールド回路110から出力された信号レベルの撮像信号は、バッファアンプ111を介して出力され、その後図示しないA/D変換器でデジタル信号に変換され、各種の信号処理が施された所望の画像データが出力される。

【0005】さらに、図10のタイミングチャートを参照して、図10のCDS回路の動作を説明する。バッファアンプ102を介して撮像素子101から出力された撮像信号は、図10(a)に示す撮像素子出力の波形のように、撮像素子101の各光電変換素子によって変換された電荷信号が順次転送出力されてくる。撮像素子出力は、画素単位で、撮像素子101のリセットR後、電子電荷量の増大し、信号レベルLLで安定する。クランプパルスφ_pは、リセットR後、時点t_{t1}からt_{t2}に印加され、撮像素子出力は、印加されたフィールドスルーレベルLSにクランプされ、雑音が除去された基準レベルに合わされる。その後、時点t_{t3}からt_{t4}の

間、タイミングパルスφsによって、クランプ後の信号レベルL₁がサンプリングされ、ホールドされた信号レベルL₁が撮像信号として出力される。すなわち、フィールドスルーレベルL₁Sに対する信号レベルL₁が出力される。

【0006】

【発明が解決しようとする課題】ところで、撮像素子の出力は、電荷信号の感度向上等のため、撮像素子の最終段としてのフローティングディフュージョンアンプ(FDA)で電荷信号を加算しつつ出力される場合がある。

【0007】この場合、図2に示すように、1つのリセットで2種類の信号出力が出力されるが、従来のCDS回路であれば、加算された(または加算されない)電荷の1つしかサンプリングできず、有効に2種類の出力電荷を活用できないという問題点があった。

【0008】そこで、本発明はかかる問題点を除去し、1度に2種類の信号電荷を効率的に取り出し有効に処理することが出来る撮像装置及び信号処理することが出来る撮像回路、及び撮像装置を提供することを目的とする。

【0009】

【課題を解決するための手段】第1の発明は、マトリクス状に配置された複数の画素を有する画素マトリクス、および該画素マトリクスからの信号電荷を垂直転送および水平転送して読み出すと共に、水平転送出力において水平方向に隣接する複数の画素の信号電荷を加算して読み出す固体撮像素子と、前記固体撮像素子の出力信号のフィールドスルーレベルを一定電位にクランプするクランプ回路と、前記クランプ回路の出力信号のおおの所定の異なる期間にわたりサンプルしかつホールドする複数のサンプルホールド回路と、を具備することを特徴とする。

【0010】第1の発明では、複数のサンプルホールド回路のそれぞれが、フィールドスルーレベルにクランプした後、加算されない信号電荷と加算された信号電荷とを続けて出力するようにしているので、回路構成が簡単になる。

【0011】第2の発明は、撮像光学系と、マトリクス状に配置され前記撮像光学系を介して被写体の画像光を受け入れる複数の画素を有する画素マトリクス、および該画素マトリクスからの信号電荷を垂直転送および水平転送して読み出すと共に、水平転送出力において水平方向に隣接する複数の画素の信号電荷を加算して読み出す固体撮像素子と、前記固体撮像素子の出力信号のフィールドスルーレベルを一定電位にクランプするクランプ回路と、前記クランプ回路の出力信号をおおの所定の異なる期間にわたりサンプルしかつホールドする複数のサンプルホールド回路と、前記クランプ回路および前記サンプルホールド回路に駆動信号を供給する駆動回路と、を具備することを特徴とする。

【0012】第2の発明では、フィールドスルーレベルにクランプした後、加算されない信号電荷と加算された信号電荷とを続けて出力するようにしているので回路構成が簡単になる。

【0013】第3の発明は、第2の発明において、前記画素マトリクスは上下左右に隣接する4画素ごとに同色のカラーフィルタを搭載し、前記固体撮像素子は水平方向に隣接する2画素の内一方の画素の信号電荷および水平方向に隣接する2画素の信号電荷を加算した信号電荷を順次出力すると共に、前記複数のサンプルホールド回路は前記一方の画素の信号電荷をサンプルホールドするサンプルホールド回路と前記2画素の信号電荷を加算した信号電荷をサンプルホールドする2個のサンプルホールド回路とを含むことを特徴とする。これにより、高感度の画像と高解像度の画像とを簡単な構成で得ることができる。

【0014】第4の発明は、第2または第3の発明において、前記クランプ回路の出力を選択的に前記複数のサンプルホールド回路に入力する切り換え手段を具備することを特徴とする。これにより、高感度の画像あるいは高解像度の画像を選択して出力することができる。

【0015】第5の発明は、第2または第3の発明において、前記複数のサンプルホールド回路は共に前記クランプ回路の出力に接続され、互いに異なる期間に前記クランプ回路の出力をサンプルして、水平方向に隣接する同色の複数の画素の信号電荷を加算して得た信号と加算しないで得た信号とを並列的に出力することを特徴とする。これにより、高感度の画像および高解像度の画像に対する処理を同時に処理することが可能となる。

【0016】第6の発明は、第3の発明において、水平方向に隣接する2画素の内一方の画素の信号電荷を出力するモードと水平方向に隣接する2画素の信号電荷を加算した信号電荷を出力するモードとを切り換えるための操作手段を具備することを特徴とする。これにより、簡単な構成で、水平方向に隣接する2画素を分離して出力することができ、かつ同時に処理することが可能となる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1は、本発明の第1の実施形態に係わるCDS回路の構成を示す説明図である。図1に示すCDS回路は、基本的には図9に示すCDS回路におけるサンプルホールド回路110を複数備えたCDS回路である。図1において、このCDS回路は、撮像素子1で光電変換され転送された電荷は撮像信号として、バッファアンプ2を介してクランプ回路6に出力される。

【0018】クランプ回路6は、バッファアンプ2からの出力をカップリングコンデンサ3を介して出力するとともに、直流電圧源5からの電圧をカップリングコンデ

10

20

30

40

50

ンサ3の出力側にタイミングパルス ϕp をスイッチ4で印加することによって、カップリングコンデンサ3からの撮像信号をフィールドスルーレベルLSにクランプし、撮像素子1内で発生したリセット雑音や出力アンプ雑音等を除去している。

【0019】クランプ回路6から出力された撮像信号は、バッファアンプ7を介して少なくともサンプルホールド回路10に出力される。また、スイッチ15を介して、スイッチ15がオンのとき、クランプ回路6から出力された撮像信号は、バッファアンプ7を介してサンプ
10 ルホールド回路14にも出力される。すなわち、スイッチ15がオンのとき、撮像信号のサンプルホールド回路10、14への並列入力を可能とし、スイッチ15がオフのとき、撮像信号は、サンプルホールド回路10のみに入力される。

【0020】サンプルホールド回路10は、バッファアンプ7からの撮像信号をスイッチ8に入力されるクランプパルス $\phi s1$ でサンプリングし、ホールディングコンデンサ9にホールドされた信号レベルを撮像信号として出力する。そして、サンプルホールド回路10から出力
20 された信号レベルL1の撮像信号は、バッファアンプ11を介して出力され、その後図示しないA/D変換器でデジタル信号に変換され、各種の信号処理が施された所望の画像データが出力される。

【0021】一方、サンプルホールド回路14は、バッファアンプ7からの撮像信号をスイッチ12に入力されるクランプパルス $\phi s2$ でサンプリングし、ホールディングコンデンサ13にホールドされた信号レベルを撮
30 像信号として出力する。そして、サンプルホールド回路14から出力された信号レベルL2の撮像信号も、信号レベルL1の撮像信号と同様に、バッファアンプ11を介して出力され、その後図示しないA/D変換器でデジタル信号に変換され、各種の信号処理が施された所望の画像データが出力される。

【0022】次に、図1に示すCDS回路の動作を、図2のタイミングチャートを参照して説明する。図2

(a)に示すように、バッファアンプ2を介して撮像素子1から出力された撮像信号は、撮像素子1の各光電変換素子によって変換された信号レベルL1とこの信号レ
40 ベルL1に次に転送される画素の電荷の信号レベルが加算された加算信号レベルL2をもった撮像信号として順次転送出力されてくる。すなわち、撮像素子出力は、加算されない信号レベルL1と加算された加算信号レベルL2を含む撮像信号が組み合わせられ、この組み合わせ毎にリセットRが行われる。

【0023】図2(b)に示すクランプパルス ϕp は、リセットR後、時点t1からt2の間に印加され、撮像素子出力は、印加されたフィールドスルーレベルLSにクランプされ、雑音が除去された基準レベルに合わされ
る。

【0024】その後、図2(c)に示すタイミングパルス $\phi s1$ が、時点t3からt4の間にサンプルホールド回路10に加えられ、このタイミングパルス $\phi s1$ によって、クランプ後の信号レベルL1がサンプリングされ、ホールドされる。このホールドされた信号レベルL1が撮像信号として出力される。すなわち、フィールドスルーレベルLSに対する信号レベルL1が出力され
る。

【0025】さらに、図2(d)に示すタイミングパルス $\phi s2$ が、時点t5からt6の間にサンプルホールド回路14に加えられ、このタイミングパルス $\phi s2$ によって、クランプ後の加算信号レベルL2がサンプリングされ、ホールドされる。このホールドされた加算信号レ
ベルL2が撮像信号として主力される。すなわち、フィールドスルーレベルLSに対する加算信号レベルL2が出力される。

【0026】この場合、加算信号レベルL2の取り出しのために新たなリセットRとフィールドスルーレベルLSにクランプするための処理は行われなわれず、リセ
ットRとクランプ処理とが有効利用される。

【0027】また、スイッチ15がオンのときは、順次サンプルホールド回路10、14に加えられるサンプリングパルス $\phi s1$ 、 $\phi s2$ によって信号レベルL1と加算信号レベルL2とがサンプリングされ、ともにバッ
ファアンプ11を介して順次出力される。一方、スイッチがオフのときは、信号レベルL1のみがバッファアンプ11を介して出力される。

【0028】なお、加算された電荷がさらに連続してFDAから出力される場合には、その連続加算の数に応じて、複数のサンプルホールド回路を設け、各加算された
30 信号レベルをサンプリングするサンプルパルスを各サンプルホールド回路に加え、サンプルホールドすればよい。また、スイッチ15を、複数のサンプルホールド回路の接続を切り換えるスイッチする切換用スイッチとすればよい。

【0029】ここで、各画素の電荷がFDAによって加算されつつ出力される撮像素子1について説明する。図3は、撮像素子1の構成を示す説明図ある。図3において、撮像素子1は、水平方向(行方向)の2m個および
40 垂直方向(列方向)2n個の複数の画素31が配列されたカラー画素マトリクスを構成しており、このカラー画素マトリクスは、上下左右の隣接する2×2の4つの画素からなるカラー画素群36内の全ての画素の色成分が同一である、m×nのカラー画素群36で構成されている。

【0030】カラー画素マトリクスを、このm×nのカラー画素群36単位でみると、RGBベイヤ配列となっている。例えば、2m×2nのカラー画素マトリクスMにおけるM(1,1)、M(1,2)、M(2,
50 1)、M(2,2)の4つの各画素は、色成分Gのカラー

ーフィルタをもつ画素として配列され、 $M(1, 3)$ 、 $M(1, 4)$ 、 $M(2, 3)$ 、 $M(2, 4)$ の4つの各画素は、色成分Rのカラーフィルタをもつ画素として配列され、 $M(3, 1)$ 、 $M(3, 2)$ 、 $M(4, 1)$ 、 $M(4, 2)$ の4つの各画素は、色成分Bのカラーフィルタをもつ画素として配列され、さらに $M(3, 3)$ 、 $M(3, 4)$ 、 $M(4, 3)$ 、 $M(4, 4)$ の4つの各画素は、色成分Gのカラーフィルタをもつ画素として配列されている。

【0031】フォトダイオード等の光電変換素子としてのこれらの画素31は、それぞれR、G、Bの色成分の画素として機能し、この機能は、各画素31の上面に各R、G、Bの色成分の光を透過させる上述したカラーフィルタが施されている。したがって、例えばカラー画素マトリクス $M(1, 1)$ の画素31は、G(緑)の色成分のみの光を透過させ、受光し、光電変換することになる。なお、 m 、 n は自然数である。

【0032】各カラー画素群36内の4つの各画素に蓄積された電荷は、撮像素子1上で加算され、この加算された電荷が順次並んで転送される形態の出力信号5として出力される。

【0033】すなわち、各画素31は、同期して垂直転送回路32上に出力され、各カラー画素群36内の上下の画素は、その後垂直転送回路32で加算され、水平転送回路33に出力される。水平転送回路33は、垂直転送回路32から順次1段づつ転送された加算画素をフローティングディフュージョンアンプ(FDA)34に転送する。

【0034】FDA34は、各カラー画素群36内の加算された左右の加算画素をさらに加算し、カラー画素群36内の全ての画素の電荷を加算した加算画素38を生成する。但し、加算画素の生成過程においては、最初の画素の信号レベルに次の画素の信号レベルを加算する際、最初の画素の信号レベルが保持され、この保持された信号レベルに次の画素の信号レベルが加算されることになるが、最初の画素の信号レベルは信号レベルの保持と同時に出力信号S1の一部として図2(a)に示す撮像信号出力のようにCDS回路に出力される。したがって、図2に示す信号レベルL1は、カラー画素群36内の上下の画素の加算電荷レベルであり、加算信号レベルL2は、カラー画素群36内の全ての画素の加算電荷レベルとなる。

【0035】なお、このような撮像素子10上の加算は、撮像素子10に対する電荷転送の駆動を制御することによって容易に達成することができる。

【0036】次に第2の実施形態について説明する。第2の実施形態は、図5に示すように、図1に示すCDS回路からスイッチ15を取り除き、各サンプルホールド回路10、14からそれぞれバッファアンプ11、16が独立に並列出力できる構成としている。

【0037】したがって、サンプリングパルス $\phi s1$ 、 $\phi s2$ の生成によって常時加算されない信号レベルL1と加算された信号レベルL2とがそれぞれバッファアンプ11、16から出力されることになる。

【0038】次に、第3の実施形態について説明する。第3の実施形態は、図6に示すように、図5に示すCDS回路にさらに減算器17を追加した構成となっている。図6において、バッファアンプ16を介して出力された加算信号レベルL2から、バッファアンプ11を介して出力された信号レベルL1を減算した信号レベルL3、すなわち、信号レベルL1の次に転送され、加算されない信号レベルL3を求めることができる。また、バッファアンプ11を介して出力された信号レベルL1はそのまま出力される。したがって、信号レベルL1と信号レベルL3とを並列出力することができる。

【0039】したがって、第1から第3の実施形態では、信号レベルL1のレベル値を「A」、信号レベルL3のレベル値を「B」とすると、第1の実施形態では、「A」と「A+B」とを交互に直列出力することができ、第2の実施形態では、「A」と「A+B」とを並列出力することができ、第3の実施形態では、「A」と「B」とを並列出力することができる。

【0040】なお、上述した撮像素子1内のカラー画像マトリクスにおける各カラー画素群6は、 2×2 の4画素としたが、これに限らず、 1×2 の2画素、 3×3 の9画素、 3×2 の6画素等の任意の数、任意の配列態様の構成とすることもできる。

【0041】また、上述した撮像素子1は、CCD固体撮像素子を前提として説明したが、これに限らず、各画素1をスイッチング処理により各画素1内に蓄積した電荷を掃き出す増幅型固体撮像素子であっても適用できるのは明らかである。

【0042】次に、上述した第1から第3の実施形態であるCDS回路のいずれかをを用いた撮像装置としての電子カメラについて説明する。図7は、撮像素子1および上述したCDS回路を用いた電子カメラの構成を示すブロック図である。図7において、撮像素子1は、光学系41を介して入力された被写体58の像を電気信号に変換する。この光学系41は、赤外カットフィルタ及び光学フィルタを有する。

【0043】CDS/AGC回路42は、撮像素子10からの出力信号に対して、相関二重サンプリング等によってノイズ成分を低減するCDS作用と感度に応じた自動増幅を行うAGC作用とを施してA/D変換器43に出力する。上述した第1から第3の実施の形態のいずれかのCDS回路が含まれる。

【0044】A/D変換器43は、CDS/AGC回路42からのアナログ信号を10ビットのデジタル信号に変換して、デジタル信号処理部(DSP)44に出力する。

【0045】DSP44は、例えば入力された10ビットのデジタルデータに対し、画像の補間処理、黒レベル調整、ガンマ補正、ニー補正等処理を行い、10ビットから8ビットに変換したデジタルデータに対してマトリクス、輪郭補正等の処理を施し、8ビットの輝度成分と8ビットの色差成分からなる16ビットのデジタルデータの生成等の処理を行う信号処理回路であり、デジタル信号処理用のワンチップLSIである。また、DSP44は、撮像素子10の駆動用タイミングパルス生成処理も行っている。

【0046】圧縮／伸長部45は、静止画に対する国際規格であるJPEG規格に基づく圧縮／伸長処理を行い、具体的には、離散コサイン変換(DCT)、逆DCT、ハフマン符号化／復号化等の論理処理を行うワンチップデコーダである。また、圧縮／伸長部45は、バッファメモリ46へのデータ取り込み、データアクセスを行い、DRAMで構成されるバッファメモリ46に対するリフレッシュも行う。

【0047】バッファメモリ46は、圧縮／伸長部45によって圧縮する前の1フレームの画像データを一時保持するメモリであり、上述したようにDRAMで構成される。

【0048】SRAM52は、圧縮／伸長部45によって圧縮された画像データに対して、JPEGファイルとしてのヘッダ情報を付加し、フラッシュメモリ56への記憶前のバッファメモリとしての機能を有する。

【0049】フラッシュメモリ56は、ヘッダ情報が付加されたJPEGファイルである画像ファイルを最終格納する不揮発性メモリである。

【0050】外部インターフェース57は、パーソナルコンピュータ等の外部処理装置とこの電子カメラ本体との間のデータ転送等を行うためのインターフェースである。

【0051】デジタルエンコーダ47は、デジタルデータをアナログのビデオ信号に変調するチップである。

【0052】表示器48は、LCD等で実現され、デジタルエンコーダ47が生成したビデオ信号を表示出力する。

【0053】スピードライト部54は、単独で外部調光制御する機能を有する。すなわち、スピードライト部54は、後述するCPU51によって発光、チャージ等が制御され、発光量制御は、このスピードライト部単独で外部調光が行われる。

【0054】LCD53は、各種撮影モード、残コマ、イレーズ(消去)、バッテリー検出等の状態を液晶表示する。

【0055】CPU51は、例えばマイクロプロセッサで構成され上述した各部を全体制御する。

【0056】タイミング生成器50は、撮像素子10を

駆動する各種パルスおよび上述した各部の各種タイミングパルスを生成する。

【0057】撮像素子10は、上述したDSP44からの駆動用タイミングパルスによって制御される。撮像素子10の水平電荷転送のための水平転送パルスは、DSP44からタイミング生成器50を介して直接撮像素子10を駆動し、垂直電荷転送のための垂直転送パルスは、タイミング生成器50に入力され、駆動部49を介して電圧変換された信号によって撮像素子10を駆動する。

【0058】ここで、操作部55は、各種の撮影モードを切り換える撮影モード切替スイッチと各種のコマンドを設定するコマンドダイヤルとを含む。

【0059】すなわち、この操作部55の撮影モード切替スイッチによって、カラー画素マトリクスの各画素31のカラー画像の出力を行う高解像度モードと、カラー画素群36単位のカラー画像の出力を行う高感度モードと、高解像度モードと高感度モードとを輝度等の撮影環境によって自動的に切り換えるオートモードとが切替指示される。

【0060】高解像度モードが指示された場合、CPU51は、DSP44に高解像度モードが設定されたことを指示し、DSP44は、各カラー画素群36内の上下2つの画素の電荷を加算して転送出力させる駆動用タイミングパルスを生成して、撮像素子1を駆動させるとともに、A/D変換器43を介して入力された出力信号をカラー画像出力に対応する信号処理を施す。ここで、CDS/AGC回路42内のCDS回路は、サンプルホールド回路10によってサンプルホールドされた信号レベルL1のみを出力する。また、CPU51は、高解像度モードに対応したその他の各部に対する指示制御も行う。

【0061】高感度モードが指示された場合、CPU51は、DSP44に高感度モードが設定されたことを指示し、DSP44は、各カラー画素群6内の4つの画素を加算させる駆動用タイミングパルスを生成し、撮像素子を駆動させるとともに、A/D変換器43を介して入力された出力信号に対する信号処理を施す。ここで、CDS/AGC回路42内のCDS回路は、サンプルホールド回路14によってサンプルホールドされた加算信号レベルL2のみを出力する。また、CPU51は、高感度モードに対応したその他の各部に対する指示制御も行う。

【0062】オートモードが指示された場合、CPU51は、DSP44にオートモードが設定されたことを指示し、DSP44は、例えば高解像度モードをデフォルトモードとして撮像素子10に駆動用タイミングパルスを生成し、撮像素子10からの出力信号をもとに輝度成分をモニタし、その輝度成分が所定値以下か否かを判断し、その判断結果が所定値以下である場合に高感度モー

＊【図面の簡単な説明】

【図4】カラー画素群の各画素の配置態様と加算画素の結果を示す説明図である。

【図 7】第 1 から第 3 の実施形態に係わる CDS 回路のいずれかをを用いた電子カメラの構成を示す説明図である。

【図10】従来のCDS回路の動作タイミングチャートである。

【符号の説明】

1 撮像素子

1 撮像素子
2, 7, 11, 16 バッファアンプ

3 カップリングコンデンサ

4. 8. 12. 15 スイッチ

5 直流電圧源

6 クランプ回路

8 加算画素

9, 13 ホールディングコンデンサ

10, 14 サンプルホールド回路

30 17 減算器

ϕp タイミングパルス

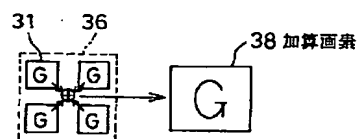
 $\phi s 1, \phi s 2$ クランプパルス

LS フィールドスルーレベル

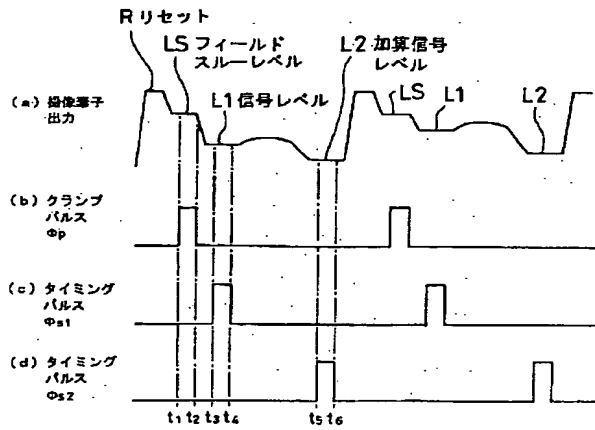
L1 信号レベル

L2 加算信号レベル

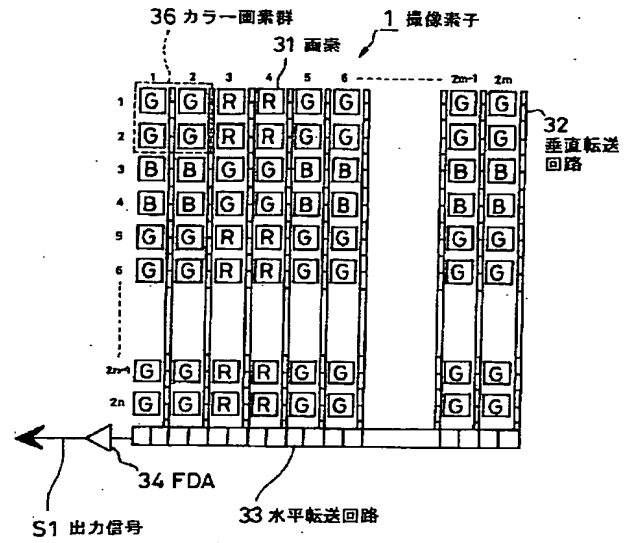
【圖4】



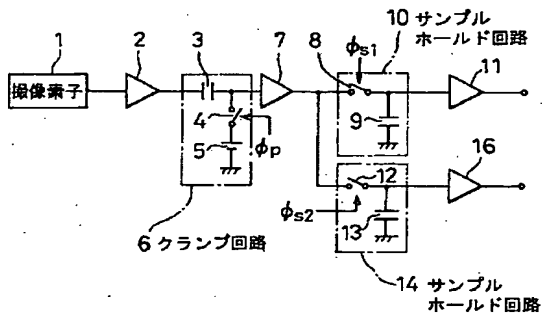
【図2】



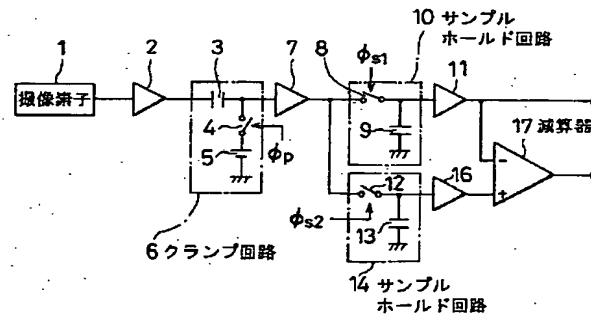
【図3】



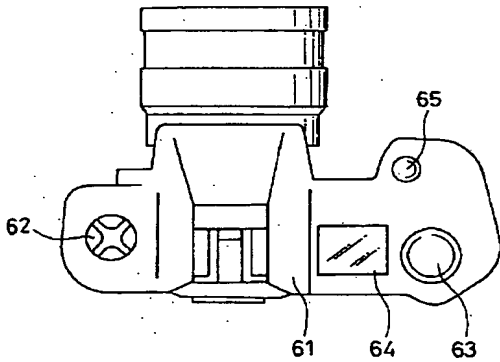
【図5】



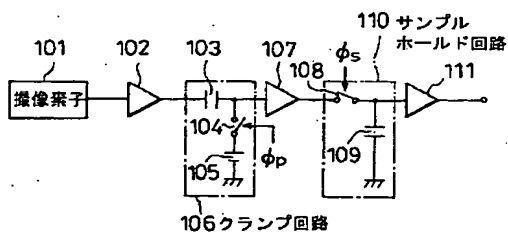
【図6】



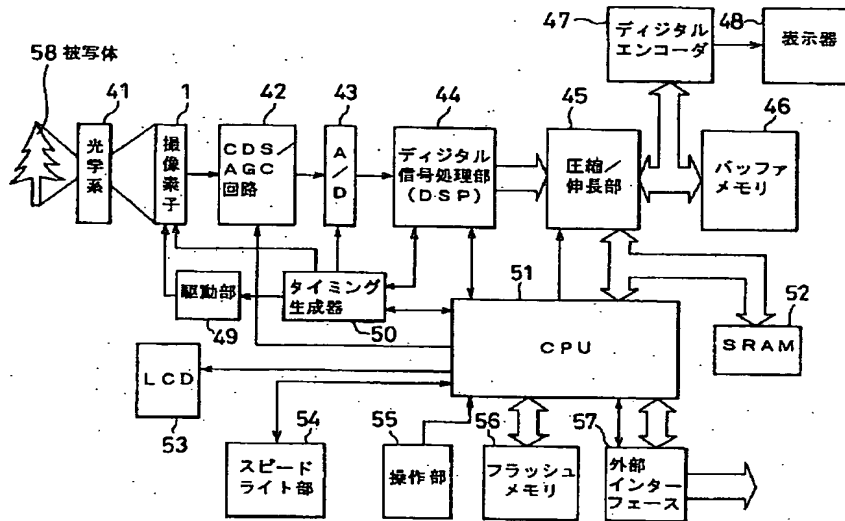
【図8】



【図9】



【図7】



【図10】

